

## SEMICONDUCTOR DEVICE

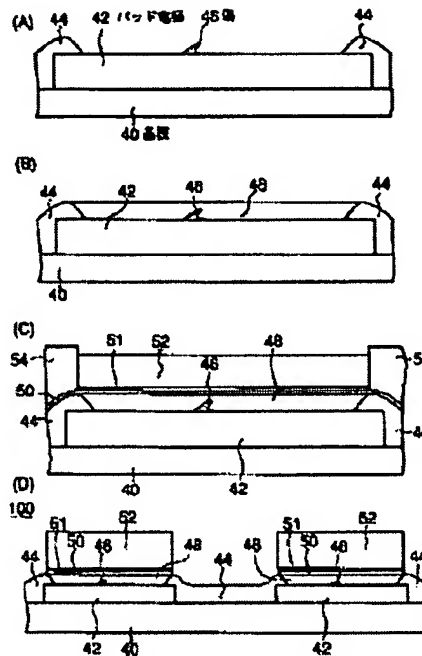
Publication number: JP2000058577  
Publication date: 2000-02-25  
Inventor: YODA HIROYUKI; WATANABE EIJI; MAKINO YUTAKA  
Applicant: FUJITSU LTD  
Classification:  
- International: H01L21/60; H01L21/02; (IPC1-7): H01L21/60  
- European:  
Application number: JP19980230887 19980817  
Priority number(s): JP19980230887 19980817

S/N 10/815,103  
ART UNIT 2826

Report a data error here

## Abstract of JP2000058577

**PROBLEM TO BE SOLVED:** To improve the reliability of a semiconductor device by forming first and second metallic layers on an electrode formed on a semiconductor substrate in sequence through an electroless plating method, so as to prevent the deterioration of joint between a lump electrode and a pad electrode thereunder. **SOLUTION:** After forming a pad electrode 42 by patterning, an uneven flaw 46 which is formed on the surface of the pad electrode by the sharp tip of a probe during confirmation of property is covered entirely by forming an Ni film 48 as a first barrier metal layer at the same depth as or more than that of the flaw 46 by an electroless plating, forming a flat surface on the Ni film 48 as a barrier metal. Next, Ti and Ni films are formed as a second barrier metal layer 50 on the first barrier metal layer 48 and an insulation film 44. Thus, an Al comprising a lower pad electrode 42 and Pb and Sn comprising a bump electrode 52 are diffused mutually and bidirectionally, and a part of Al hits the bump electrode 52, thereby preventing the deterioration of contact property.



Data supplied from the esp@cenet database - Worldwide

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] A semiconductor device comprising:

A semiconductor substrate.

An electrode formed on said semiconductor substrate.

The 1st metal layer that was formed on said electrode and formed by a nonelectrolytic plating method.

[Claim 2] The semiconductor device comprising according to claim 1:

The 2nd metal layer further formed by any 1 method among a sputtering technique and vacuum deposition on said 1st metal layer.

A projection electrode formed on said 2nd metal layer.

[Claim 3] The semiconductor device according to claim 1 to 2 forming said 1st metal layer by a nonelectrolytic plating method which used any 1 metal among nickel, Cu, and Pd.

[Claim 4] The semiconductor device according to claim 1 to 2 forming said 1st metal layer among Pd, Zn, and nickel by a non-electrolytic nickel plating method using a substitution method by any 1 metal.

[Claim 5] The semiconductor device according to claim 2 to 4, wherein said 2nd metal layer consists of one layer and consists of any 1 metal among nickel, Cu, and Pd.

[Claim 6] From two-layer [ of a metal membrane of the 1st / further / layer, and a metal membrane of the 2nd layer ], said 2nd metal layer becomes and said metal membrane of the 1st layer, The semiconductor device according to claim 2 to 5, wherein it consists of any 1 metal among Ti, Cr, TiW, and Mo and said metal membrane of the 2nd layer consists of any 1 metal among nickel, Cu, and Pd.

[Claim 7] Said 2nd metal layer consists of three layers, a metal membrane of the 1st [ further ] layer, a metal membrane of the 2nd layer, and a metal membrane of the 3rd layer, The semiconductor device according to claim 2 to 6, wherein a metal membrane of said 1st layer and the 2nd layer consists of any 2 metal among Ti, Cr, TiW, and Mo and said metal membrane of the 3rd layer consists of any 1 metal among nickel, Cu, and Pd.

[Claim 8] The semiconductor device according to claim 2 forming said projection electrode in the upper layer of said 2nd metal layer by the electrolysis plating method.

[Claim 9] The semiconductor device according to claim 2 or 8 forming said projection electrode with metal of at least 1 chosen from a group which consists of an alloy of an alloy of Pb, Au and Sn, and Ag. [ Pd, nickel, Cu, Sn, ]

[Claim 10] Claim 2 forming an antioxidant tunic which consists of any 1 metal among Au, Pt, and Pd between said 2nd metal layer and said projection electrode, or a

semiconductor device given in 8 thru/or 9.

[Claim 11]A semiconductor device comprising:

A semiconductor substrate.

An electrode formed on said semiconductor substrate.

The 1st metal layer that was formed on said electrode and formed by a nonelectrolytic plating method.

A projection electrode formed on the 2nd metal layer formed by any 1 method of a sputtering technique and the vacuum deposition on said 1st metal layer, the 3rd metal layer formed by the electrolysis plating method on said 2nd metal layer, and said 3rd metal layer.

[Claim 12]The semiconductor device according to claim 11, wherein said 3rd metal layer consists of any 1 metal among nickel, Cu, and Pd.

[Claim 13]The semiconductor device according to claim 11 forming an antioxidant tunic which consists of any 1 metal among Au, Pt, and Pd between said 3rd metal layer and said projection electrode.

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the pad electrode structure of a semiconductor device, and relates to the pad electrode structure of a semiconductor device of having the structure of a barrier metal layer peculiar to the lower layer of a pad electrode. In order to connect electrically and mechanically to the substrate for semiconductor device mounting the pad electrode formed in the inside of the semiconductor device on a substrate, it is necessary to form the projection electrode for external connection on a pad electrode.

[0002]So, in this invention, a new structure of a pad electrode at the time of forming the projection electrode for external connection on the pad electrode of a semiconductor device is provided, without spoiling the reliability of a semiconductor device. In the stage before slicing the time of a wafer process being completed, and its wafer for every chip and mounting in a package, it is necessary to check that each semiconductor device shows normal operation electrically in the manufacturing process of a common semiconductor device. For this reason, a probe needle is applied to the pad electrode formed on the surface of a semiconductor device, and an electric operation test is done for every wafer or every chip.

[0003]Since it is necessary to put a probe needle in the above-mentioned operation test on the pad electrode which consists of aluminum formed of the wafer process as mentioned above so that a pressure may be put, as for the pad electrode surface, a rugged form crack will be formed by the probe needle with which the tip sharpened. This invention forms the above-mentioned projection electrode for external connection good on the pad electrode surface which has the unevenness which did in this way and was formed, and provides the structure of a reliable pad electrode in points, such as the mounting nature of a semiconductor device, and an electrical property.

[0004]

[Description of the Prior Art]Drawing 1 (A) - (E) is a figure showing the formation process of the projection electrode for external connection on the pad electrode in the former. Drawing 1 (A) shows the insulator layer 16 which consists of an oxide film

which formed the pad electrodes 12 and 14 which consist of aluminum by patterning, and was formed of thermal oxidation in fields other than the pad electrode 12 and 14 on the substrate 10. On the surface of the pad electrodes 12 and 14, the cracks 20 and 22 which are the unevenness produced by the probe test after formation are shown.

[0005]Next, as shown in drawing 1 (B), it is necessary to form the projection electrode 32 on the pad electrode 12 and 14. In the plane of composition when joining the pad electrode which generally consists of a projection electrode which consists of solders, and aluminum, Sn, Pb, etc. which are the elements which constitute a solder are spread in an Al electrode, and in order to prevent destroying junction, a metal layer called a barrier metal is made to be placed between the planes of composition.

[0006]Therefore, by the conventional method, as shown in drawing 1 (B), the metal membrane 24 which consists of two-layer [ of 500-nm-thick Ti and nickel ], respectively is formed on the electrode 12 and 14, and the insulator layer 16 by a sputtering technique as the barrier metal layer 24. As furthermore shown in the enlarged drawing of the electrode 12 of drawing 1 (C), the photoresist film 26 is formed so that the opening of the electrode 12 top may be carried out by patterning, and Ni film 30 is formed by the electrolysis plating method on the barrier metal 24 of the opening 28 at a thickness of 2 micrometers.

[0007]Then, as shown in drawing 1 (D), the projection electrode 32 which consists of Pb and Sn is formed in a thickness of 50 micrometers by the electrolysis plating method. Then, in drawing 1 (E), the photoresist film 26 is removed and wet etching removes some the Ti films and Ni films 24 which remained in photoresist 26 lower layer. The solder ball which is not illustrated is formed by furthermore carrying out a reflow of the projection electrode 32 at a temperature higher than the melting point temperature.

[0008]

[Problem(s) to be Solved by the Invention]However, there is a problem described below in the projection electrode formation method in the above-mentioned former. In the process of drawing 1 (C), where the barrier metal layer 24 is formed on the surface of the electrode 12 in which the crack 20 was formed, as shown in the figure, the crevice 21 of the crack 20 serves as the recessed region 21 in which a barrier metallic film is not formed. In such the state, further, when Ni film 30 is formed in a thickness of 2 micrometers and the projection electrode 32 is further formed by the electrolysis plating method on the surface at a thickness of 50 micrometers, the following problems occur.

[0009]Namely, Sn or Pb which constitutes the projection electrode 32 is spread via the recessed region 21 in which the barrier metal 24 is not formed, Reach into the lower layer pad electrode 12, or aluminum which is a composing element of the pad electrode 12 conversely, That are easily spread from the crevice 21 in Ni-film [ of the upper layer ] 30 and projection electrode film 32 inside, and contact resistance goes up as a result, or the projection electrode 32 exfoliates etc. is a point which will destroy junction.

[0010]Ni film 30 formed by the electrolysis plating method in this conventional example is a film formed for the purpose of making the same operation as the lower layer barrier metal layer 24 of Ni film 30 do so, and is for making diffusion of the above-mentioned impurity prevent. However, in the recessed region 21 in which the barrier metal 24 is not formed, As mentioned above, Ni film 30 by the electrolysis plating method of the upper layer may not be formed, and when especially the crack 20 is large and the recessed region 21 in which the barrier metal 24 is not formed is remarkable, Ni film 30 is not

formed in the crevice 21. In this conventional example, in order to compensate the crevice 21 in which the barrier metal 24 is not formed, Ni film 30 which is a barrier metal layer by the electrolysis plating method further is formed in the upper layer of the barrier metal 24. However, the function as a barrier metal of the metal membrane generally formed by the electrolysis plating method is inferior to the barrier metal formed of a sputtering technique, and it is known that the function which prevents diffusion of an impurity is low. For this reason, like this example, via the recessed region 21 in which the barrier metal 24 is not formed, the diffusion phenomenon of an impurity will arise and the defect of junction to the pad electrode 10 and the projection electrode 32 will be produced.

[0011]Therefore, it originates in the crevice 21 in which the barrier metal layer 24 sets in part, and is not formed in this conventional example, The situation where producing diffusion of the impurity mentioned above, and the contact resistance of this junction going up as a result, or producing exfoliation between the projection electrodes 32 of the barrier metal layer 24 and its upper layer again etc. is cannot be used of a semiconductor device will be produced.

[0012]This invention is made in view of the above-mentioned point, and is a thing. The purpose is to provide the semiconductor device which aimed at improvement in reliability by preventing degradation of junction to the lower layer pad electrode.

[0013]

[Means for Solving the Problem]This invention was made in view of the above-mentioned problem, and provided each means described below. In the invention according to claim 1, it has the 1st metal layer that was formed on a semiconductor substrate, an electrode formed on said semiconductor substrate, and said electrode, and was formed by a nonelectrolytic plating method.

[0014]In the invention according to claim 2, it has the 2nd metal layer further formed by any 1 method among a sputtering technique and vacuum deposition on said 1st metal layer, and the projection electrode formed on said 2nd metal layer. According to the invention according to claim 1 to 2, a crack accompanied by unevenness on a pad electrode formed of a probe test, By being thoroughly covered with the 1st metal layer formed by the electrolysis plating method, and carrying out flattening by it, When a crack can be prevented from affecting the 2nd metal layer of the upper layer and forms the 2nd metal layer with a sputtering technique or vacuum deposition further, formation of a projection electrode by the electrolysis plating method is made easy, and contact to a projection electrode can make it be hard to be destroyed.

[0015]By forming the 2nd metal layer so that two or more of all the pad electrodes may be covered since a crack can be thoroughly buried by the 1st metal layer, When forming a projection electrode in the upper layer by the electrolysis plating method, all the pad electrodes can be set as the same potential, and formation of a projection electrode is simultaneously attained to all the pad electrodes. In the invention according to claim 3, said 1st metal layer was formed by a nonelectrolytic plating method which used any 1 metal among nickel, Cu, and Pd.

[0016]According to the invention according to claim 3, even if each pad is in a state separated electrically, the 1st metal layer can be easily formed on each pad by a nonelectrolytic plating method, and a wrap can do a crack accompanying unevenness on

a pad electrode thoroughly. In the invention according to claim 4, said 1st metal layer was formed among Pd, Zn, and nickel by a non-electrolytic nickel plating method using a substitution method by any 1 metal.

[0017]According to the invention according to claim 4, the 1st metal layer can be easily formed by a nonelectrolytic plating method. In the invention according to claim 5, said 2nd metal layer consists of one layer, and consists of any 1 metal among nickel, Cu, and Pd. In the invention according to claim 6, from two-layer [ of a metal membrane of the 1st / further / layer, and a metal membrane of the 2nd layer ], said 2nd metal layer becomes and said metal membrane of the 1st layer, It consists of any 1 metal among Ti, Cr, TiW, and Mo, and said metal membrane of the 2nd layer consists of any 1 metal among nickel, Cu, and Pd.

[0018]Said 2nd metal layer consists of three layers, a metal membrane of the 1st [ further ] layer, a metal membrane of the 2nd layer, and a metal membrane of the 3rd layer, in the invention according to claim 7, A metal membrane of said 1st layer and the 2nd layer consists of any 2 metal among Ti, Cr, TiW, and Mo, and said metal membrane of the 3rd layer consists of any 1 metal among nickel, Cu, and Pd.

[0019]According to the invention according to claim 5 to 7, by forming the 2nd metal layer, It is avoidable that contact is destroyed by preventing Pb or Sn in a projection electrode from preventing aluminum in a pad electrode from being spread into a projection electrode, and being spread into a pad electrode, and the adhesion of a pad electrode and a projection electrode can be raised.

[0020]In the invention according to claim 8, said projection electrode was formed in the upper layer of said 2nd metal layer by the electrolysis plating method. In the invention according to claim 9, said projection electrode was formed with metal of at least 1 chosen from a group which consists of an alloy of an alloy of Pb, Au and Sn, and Ag. [ Pd, nickel, Cu, Sn, ]

[0021]According to the invention according to claim 8 to 9, a projection electrode can be formed with sufficient reliability on a pad electrode, and a semiconductor device can be mounted on a substrate. In the invention according to claim 10, an antioxidant tunic which consists of any 1 metal among Au, Pt, and Pd was formed between said 2nd metal layer and said projection electrode.

[0022]According to the invention according to claim 10, after forming the 1st metal layer, the 1st metal layer surface can be prevented from oxidizing, and contact after projection electrode formation can be maintained to that of fitness. An electrode formed on a semiconductor substrate and said semiconductor substrate in the invention according to claim 11, The 1st metal layer that was formed on said electrode and formed by a nonelectrolytic plating method, It has the 2nd metal layer formed by any 1 method of a sputtering technique and the vacuum deposition on said 1st metal layer, the 3rd metal layer formed by the electrolysis plating method on said 2nd metal layer, and the projection electrode formed on said 3rd metal layer.

[0023]In the invention according to claim 12, said 3rd metal layer, According to the invention according to claim 11 to 12 consisting of any 1 metal among nickel, Cu, and Pd. A crack accompanied by unevenness on a pad electrode formed of a probe test, By being thoroughly covered with the 1st metal layer formed by the electrolysis plating method, and carrying out flattening by it, When a crack can be prevented from affecting the 2nd metal layer of the upper layer, forms the 2nd metal layer with a sputtering

technique or vacuum deposition and forms the 3rd metal layer in the upper layer further, Increase an effect of preventing diffusion of an impurity, and formation of a projection electrode by the electrolysis plating method is made still easier, and contact to a projection electrode can make it be hard to be destroyed.

[0024]Since a crack can be thoroughly buried by the 1st metal layer, after forming the 3rd metal layer by forming the 2nd metal layer so that two or more of all the pad electrodes may be covered, When forming a projection electrode in the upper layer by the electrolysis plating method, all the pad electrodes can be set as the same potential, and formation of a projection electrode is simultaneously attained to all the pad electrodes.

[0025]In the invention according to claim 13, an antioxidant tunic which consists of any 1 metal among Au, Pt, and Pd was formed between said 3rd metal layer and said projection electrode. According to the invention according to claim 13, oxidation of the 3rd metal layer can be prevented by making an antioxidant tunic intervene between the 3rd metal layer and a projection electrode.

[0026]

[Embodiment of the Invention]Next, an embodiment of the invention is described with drawing 2 and drawing 3.

The [1st example] The 1st example in this invention is first described based on drawing 2. Drawing 2 (A) The process shown in - (E) is a figure showing the manufacturing process of the pad electrode in the 1st example.

[0027]In the process shown in drawing 2 (A), like the conventional example, the pad electrode 42 is formed by patterning on the semiconductor substrate 40 (for example, semiconductor chip), a substrate face is oxidized by heat treatment to fields other than pad electrode 42, and the insulator layer 44 which consists of oxide films is formed. After forming the pad electrode 42, the electrical property of a semiconductor device is examined, and the process of checking the quality of the characteristic is carried out. that is, in this process, it corresponds to the position of each pad electrode on the semiconductor device surface -- as -- the tip of the circuit tester for the electrical property examination of a semiconductor device -- a probe -- the needle with which the tip sharpened is installed so that a weak fixed pressure may be put on a pad electrode, and an electrical property is measured.

[0028]Therefore, the tip of a probe will be installed in the form where it enters inside an electrode a little from the pad electrode surface, at the time of measurement, and unevenness will be formed in the pad electrode surface so that the shape of a probe needle may be met. Thus, the crack 46 on the pad electrode in which unevenness was formed will have an adverse effect on the characteristic of contact between a pad electrode and the projection electrode 52 formed in the surface in a next process.

[0029]In order to avoid the above-mentioned problem, in this example, Ni film 48 is formed in a thickness of about 2 micrometers by the nonelectrolytic plating method which used nickel as the 1st barrier metal layer on the pad electrode 42 which has the crack 46 produced at the process of drawing 2 (A) like the process shown in drawing 2 (B). In said nonelectrolytic plating method, it may replace with nickel and Cu or Pd may be used.

[0030]Not using the electrolysis plating method is based on the following reasons when forming Ni film 48 here using a nonelectrolytic plating method. That is, that may not be [ that the depth of a crack may differ and the crack 46 may have reached even the lower

layer silicon substrate of the pad electrode 42 with the pad electrode among two or more pad electrodes in the pad electrode 42 which has the crack 46, and ] right. When enforcing the electrolysis plating method, it is necessary to set all the pad electrodes which are the parents which form membranes as the same potential but, and it becomes difficult in the above-mentioned case, and the electrolysis plating method can be used. [0031]By one side, it also has an advantage to which the nonelectrolytic plating method it is not necessary to impress an electric field can control cost at the point of impressing an electric field time-consuming [ excessive ] by membrane formation by the electrolysis plating method. Formation of Ni film 48 by a nonelectrolytic plating method can be performed with the substitution method which used Pd, Zn, or nickel. In membrane formation by a substitution method, when Pd, Zn or nickel which is the used element, and aluminum which is the composing elements of the pad electrode 42 involve mutually, new Ni film 48 is formed on the Al electrode surface. Therefore, in any fields other than on the Al electrode surface, a substitution operation is not produced and Ni film 48 is not formed.

[0032]The unevenness accompanying the crack 46 which produced Ni film 48 by a nonelectrolytic plating method in the probe test by the above-mentioned process by comparable as the depth of the crack 46 or forming in the thickness beyond it is covered thoroughly, and the surface where Ni film 48 which is a barrier metal layer is flat is obtained. Next, in the process of drawing 2 (C), like the 1st barrier metal formation process in the former in the upper layer of the 1st barrier metal layer 48 formed at the process of drawing 2 (B), and the upper layer of the insulator layer 44 as the 2nd barrier metal layer 50, About 500 nm of nickel is further formed for Ti with a sputtering technique or vacuum deposition in thickness of about 500 nm.

[0033]The 2nd barrier metal layer 50 formation process in the process of drawing 2 (C), As the conventional example was described, aluminum which constitutes the lower layer pad electrode 42, and Pb and Sn which constitute the projection electrode 52 formed at subsequent processes by being spread bidirectionally mutually, It has the effect of a part of aluminum projecting to the projection electrode 52 side, or preventing the phenomenon in which a part of Pb and Sn project to the pad electrode 42 side, and contact resistance going up, or preventing degradation of the contact characteristics, such as peeling of the projection electrode 52 of a contact part.

[0034]Between two or more pad electrodes 42 which form the projection electrode 52 at a next process connects too hastily by the same metal layer 50 by forming the 2nd barrier metal layer 50 so that other pad electrodes 42 may be covered simultaneously. Therefore, it also has an effect two or more metal layers 50 are enabled to make altogether the projection electrode 52 by the electrolysis plating method into the same potential at the time of membrane formation, and it becomes possible to form the projection electrode 52 easily by the electrolysis plating method.

[0035]As the 2nd barrier metal layer 50, it may replace with Ti, Cr, TiW, or Mo may be replaced with nickel again, and Cu or Pd may be used. As the 2nd barrier metal layer 50, it is a metal layer which consists of one layer, and nickel, Cu, and Pd may be used. Or nickel, Cu, or Pd may be further used for the arbitrary metal of 2 chosen from Ti, Cr, TiW, and Mo as a metal membrane of the 1st layer and the 2nd layer as a metal membrane of the 3rd layer again using the metal membrane which consists of three layers as the 2nd barrier metal layer 50.



[0036]Furthermore in the process of drawing 2 (C), patterning formation of the photoresist film 54 is carried out on the field of the oxide film 44 of fields other than pad electrode 42. Next, in the process of the drawing 2 (C), as metal in which the 2nd barrier metal layer 50 oxidizes easily, in being Cu, Ti, etc., for example, it forms the metal membranes 51, such as Au, Pt, and Pd, in a thickness of about 2 micrometers as the antioxidant tunic 51, for example in order to prevent oxidation. Then, the projection electrode 52 which becomes the upper layer of the antioxidant tunic 51 from the alloy of Sn and Pb by the electrolysis plating method is formed.

[0037]It may be the combination of arbitrary numbers of metal chosen from the inside of the alloy of the metal of 1 which replaces with the alloy of Sn and Pb as the projection electrode 52, and is chosen from the inside of the alloy of Pd, nickel, Cu, Au, or Sn and Ag or Pd, nickel, Cu, Au, or Sn and Ag. Furthermore, after that, at the process of drawing 2 (D), the photoresist film 54 is removed and some of antioxidant tunics 51 formed on the photoresist film 54 and projection electrodes 52 are removed simultaneously.

[0038]Next, in the process of the drawing 2 (D), the 2nd barrier metal layer 50 of the field in which the projection electrode 52 is not formed is selectively removed by the wet etching method. The solder ball which is not illustrated is formed by carrying out a reflow of the projection electrode 52 under the temperature more than the melting point with the projection electrode 52 for external connection, when the semiconductor device 100 is mounted.

[0039]The crack 46 on the pad electrode 42 which has the unevenness produced at the time of a probe test like the above this example, By forming the 1st barrier metal layer 48 by a nonelectrolytic plating method on the surface, when the 1st barrier metal layer 48 covers the crack 46 on the pad electrode surface thoroughly, the almost flat surface is obtained on the 1st barrier metal layer 48.

[0040]An impurity which was mentioned above can prevent being spread between the projection electrode 52 and the pad electrode 42 by forming the 2nd barrier metal layer 50 on the 1st barrier metal layer 48 furthermore, making it estrange from the pad electrode 42 in which the crack 46 exists, and making it not influenced by the crack 46. As a result, contact to the upper projection electrode 52 and the pad electrode 42 is held good, the projection electrode 52 can be prevented from exfoliating, and formation by the electrolysis plating method of the projection electrode 52 can be further made easy. Although it is a case where aluminum is used as construction material of the pad electrode 42, when Cu, Si, etc. are made to mix as other impurities into aluminum, and even if this example is a case where Si which introduced the impurity is used, it does not interfere.

[0041]The [2nd example] The 2nd example is described based on drawing 3 below. Drawing 3 (A) - (E) is a figure showing the 2nd example in this invention. In this example, it is the process that the 1st of the process of the 1st example and the 2nd barrier metal formation are the same, therefore has the same effect.

[0042]In the process first shown in drawing 3 (A), the pad electrode 62 which consists of aluminum is formed by patterning on the substrate 60 like a last example, the field which the substrate face of pad electrode 62 adjacent spaces expressed is oxidized thermally, and the insulator layer 64 which consists of oxide films is formed. Furthermore, in connection with doing a probe test after pad electrode 62 formation, unevenness is formed on the surface of the pad electrode 62, and the crack 66 is produced.

[0043]Next, in the process drawing 3 (B) Shown, it forms on the pad electrode 62 like a last example with the substitution method which used Pd, Zn, or nickel for a thickness of about 2 micrometers for Ni film 68 by the nonelectrolytic plating method as the 1st barrier metal layer 68. Like the 1st example, by comparable as the depth of the crack 46 or forming in the thickness beyond it, the unevenness accompanying the crack 66 is covered thoroughly and the surface where Ni film 68 which is the 1st barrier metal layer is flat is obtained in Ni film 68 by a nonelectrolytic plating method in the process of the drawing 3 (B).

[0044]Furthermore at the process of drawing 3 (C), like the 1st example, first in the upper layer of the 1st barrier metal nickel layer 68, and the upper layer of the insulator layer 64 as the 2nd barrier metal layer 70, nickel 74 [ about 500-nm ] is further formed for Ti72 to the field on the insulator layer 64 and the pad electrode 60 with a sputtering technique or vacuum deposition in thickness of about 500 nm. At the process of the drawing 3 (C), then, the upper layer of the 2nd barrier metal layer 70, Only upper Ni film 74 is selectively removed by the wet etching method among the 2nd barrier metal layer 70 expressed other than the field which formed in the field of the pad electrode 62 upper part the 1st photoresist film that is not illustrated by patterning, and formed the 1st photoresist film that is not illustrated. Then, the 1st photoresist film that is not illustrated is removed.

[0045]Then, in the process of drawing 3 (D), the 2nd photoresist film 78 is formed only in the field on Ti72 of the upper layer of the insulator layer 64 among the 2nd barrier metal layer 70, and patterning formation is carried out so that the opening of the field of the upper part of the pad electrode 62 may be carried out. Next, Ni film 82 is formed in the upper layer of Ni film 74 of the opening 80 by the electrolysis plating method as the 3rd barrier metal layer 82 like the drawing 3 (D).

[0046]Like [ next ] a last example, in being metal in which the 3rd barrier metal layer 82 oxidizes easily, it forms the antioxidant tunic 76 in order to prevent oxidation if needed. Then, the plating layer 84 which consists of Pb and Sn for projection electrode formation as a top layer film is formed in a thickness of about 50 micrometers by the electrolysis plating method.

[0047]Although the electrolysis plating method is used as the 3rd barrier metal layer 82 in the process of drawing 3 (D), and a method of forming the projection electrode 84, Like the 1st example, since all the pad electrodes 62 which form the 3rd barrier metal layer 82 and projection electrode 84 are covered with Ti film 72 in the 2nd barrier metal layer and are \*\*\*\*(ed), they serve as the same potential at the time of electrolysis plating implementation. Therefore, it is possible to form the 3rd barrier metal layer 82 and projection electrode 84 by the electrolysis plating method.

[0048]Finally, the 2nd photoresist film 78 is removed in the process of drawing 3 (E). Ti layer 72 expressing the lower layer of the 2nd photoresist film 78 is selectively removed by the wet etching method. The solder ball which is not illustrated is formed by carrying out a reflow of the projection electrode 84 under the temperature more than that melting point with the projection electrode 84 for external connection, next, when the semiconductor device 110 is mounted.

[0049]In this example, it is a point which forms the 3rd barrier metal 82 as a process of differing from the 1st example. By forming the 3rd barrier metal 82 by the electrolysis plating method, it has the effect of raising adhesion with the projection electrode 84 similarly formed in the upper layer by the electrolysis plating method. Therefore, have

the effect of raising adhesion with the projection electrode 84 as a barrier metal layer by forming so that the 2nd barrier metal layer 70 may not be influenced by the crack 66 on the pad electrode 62, and. By furthermore adding the 3rd barrier metal layer 82, the adhesion of the projection electrode 84 is further raised rather than the case of the 1st example.

[0050] Although this example has described the case where aluminum is used as construction material of a pad electrode, like the 1st example, it does not interfere, when Cu, Si, etc. are made to mix as other impurities into aluminum, and even if it uses Si which introduced the impurity.

[0051]

[Effect of the Invention] According to this invention, the effect described below is realizable like \*\*\*\*. In the invention according to claim 1 to 7, the reliability of junction on a pad electrode can be raised and the reliability of the semiconductor device which mounted the semiconductor device can also be raised. In the invention according to claim 8 to 9, a semiconductor device can be mounted and a highly reliable semiconductor device can be realized.

[0052] In the invention according to claim 10 to 13, the reliability of junction on a pad electrode can be raised and the reliability of the semiconductor device which mounted the semiconductor device can also be raised.

[Brief Description of the Drawings]

[Drawing 1] It is a figure showing the structure of the pad electrode of the conventional semiconductor device.

[Drawing 2] It is a figure showing the structure of the pad electrode of the semiconductor device of the 1st example in this invention.

[Drawing 3] It is a figure showing the structure of the pad electrode of the semiconductor device of the 2nd example in this invention.

[Description of Notations]

10, 40, and 60 Semiconductor substrate

12, 14, 42, 62 pad electrodes

16, 44, and 64 Insulator layer

20, 22, 46, and 66 Crack

21 Crevice

24 Barrier metal layer

26, 54 photoresist layers

28 Opening

30, 74 Ni films

32, 52, and 84 Projection electrode

48 and 68 The 1st barrier metal layer

50 and 70 The 2nd barrier metal layer

51 and 76 Antioxidant tunic

72 Ti film

78 The 2nd photoresist film

80 Opening

82 The 3rd barrier metal layer

100 and 110 Semiconductor device

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-58577  
(P2000-58577A)

(43) 公開日 平成12年2月25日 (2000.2.25)

(51) Int.Cl.<sup>7</sup>  
H 0 1 L 21/60

識別記号

F I  
H 0 1 L 21/92

テマコード\* (参考)

6 0 4 M  
6 0 4 N

審査請求 未請求 請求項の数13 O L (全 9 頁)

(21) 出願番号 特願平10-230887

(22) 出願日 平成10年8月17日 (1998.8.17)

(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(72) 発明者 依田 博行  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72) 発明者 渡辺 英二  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(74) 代理人 100070150  
弁理士 伊東 忠彦

最終頁に続く

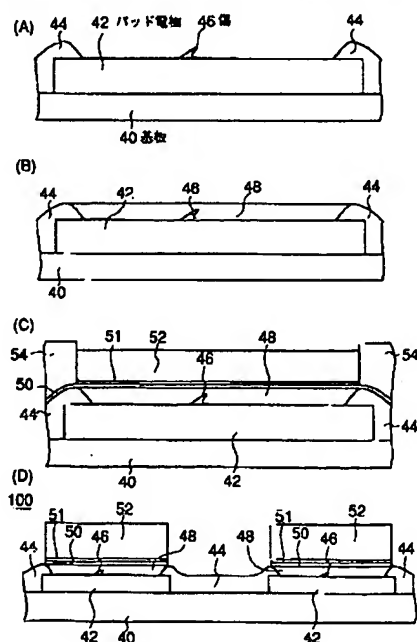
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 本発明は、パッド電極上に形成する突起電極を有する半導体装置の信頼性を向上させる。

【解決手段】 半導体基板10と、半導体基板10上に形成されたパッド電極12と、パッド電極12上に形成され、無電解めっき法により形成された第1の金属層48と、第1の金属層48上に、さらにスパッタ法及び蒸着法のうちいずれか一の方法により形成された第2の金属層50及び51と、第2の金属層50及び51上に形成された突起電極52とを有する構造とする。

本発明における第1の実施例の半導体装置のパッド電極の構造を示す図



【特許請求の範囲】

【請求項1】 半導体基板と、  
前記半導体基板上に形成された電極と、  
前記電極上に形成され、無電解めっき法により形成された第1の金属層を有することを特徴とする半導体装置。

【請求項2】 前記第1の金属層上に、さらにスパッタ法及び蒸着法のうちいずれか一の方法により形成された第2の金属層と、  
前記第2の金属層上に形成された突起電極とを有することを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1の金属層は、Ni、Cu及びPdのうちいずれか一の金属を用いた無電解めっき法によって形成したことを特徴とする請求項1乃至2記載の半導体装置。

【請求項4】 前記第1の金属層は、Pd、Zn及びNiのうちいずれか一の金属による置換法を用いた無電解Niめっき法によって形成したことを特徴とする請求項1乃至2記載の半導体装置。

【請求項5】 前記第2の金属層は1層よりなり、Ni、CuおよびPdのうちいずれか一の金属よりなることを特徴とする請求項2乃至4記載の半導体装置。

【請求項6】 前記第2の金属層はさらに第1層の金属膜と第2層の金属膜との2層よりなり、前記第1層の金属膜は、Ti、Cr、TiWおよびMoのうちいずれか一の金属よりなり、前記第2層の金属膜は、Ni、CuおよびPdのうちいずれか一の金属よりなることを特徴とする請求項2乃至5記載の半導体装置。

【請求項7】 前記第2の金属層はさらに第1層の金属膜と第2層の金属膜と第3層の金属膜の3層よりなり、前記第1層及び第2層の金属膜はTi、Cr、TiWおよびMoのうちいずれか二の金属よりなり、前記第3層の金属膜は、Ni、CuおよびPdのうちいずれか一の金属よりなることを特徴とする請求項2乃至6記載の半導体装置。

【請求項8】 前記第2の金属層の上層に、前記突起電極を電解めっき法により形成したことを特徴とする請求項2記載の半導体装置。

【請求項9】 前記突起電極は、Pd、Ni、Cu、SnとPbの合金、Au、SnとAgの合金からなる群から選択される少なくとも一の金属により形成したことを特徴とする請求項2または8記載の半導体装置。

【請求項10】 前記第2の金属層と前記突起電極との間に、Au、PtおよびPdのうちいずれか一の金属よりなる酸化防止被膜を形成したことを特徴とする請求項2または8乃至9記載の半導体装置。

【請求項11】 半導体基板と、  
前記半導体基板上に形成された電極と、  
前記電極上に形成され、無電解めっき法により形成された第1の金属層と、  
前記第1の金属層上に、スパッタ法および蒸着法のうち

のいずれか一の方法により形成された第2の金属層と、  
前記第2の金属層上に、電解めっき法により形成された第3の金属層と、

前記第3の金属層上に形成された突起電極とを有することを特徴とする半導体装置。

【請求項12】 前記第3の金属層は、Ni、CuおよびPdのうちいずれか一の金属よりなることを特徴とする請求項11記載の半導体装置。

【請求項13】 前記第3の金属層と前記突起電極との間に、Au、PtおよびPdのうちいずれか一の金属よりなる酸化防止被膜を形成したことを特徴とする請求項11記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置のパッド電極構造に係り、パッド電極の下層に特有のバリアメタル層の構造を有する半導体装置のパッド電極構造に関する。基板上の半導体素子内部に形成されたパッド電極を、半導体素子実装用の基板に電気的及び機械的に接続するために、パッド電極上に外部接続用の突起電極を形成する必要がある。

【0002】そこで本発明では、半導体装置の信頼性を損うことなく、半導体素子のパッド電極上に外部接続用突起電極を形成する際の、パッド電極の新規な構造を提供するものである。一般の半導体装置の製造過程においては、ウェハプロセスが終了した時点、及びそのウェハを各チップ毎にスライスし、パッケージに実装する前の段階において、各半導体素子が電気的に正常な動作を示すことを確認する必要がある。このために、半導体素子の表面上に形成されたパッド電極にプローブ針を当て、ウェハ毎またはチップ毎に電気的な動作試験を行う。

【0003】上記動作試験では、上述のようにウェハプロセスにより形成されたA1よりなるパッド電極上にプローブ針を、圧力をかけるように当てる必要があるため、パッド電極表面は先端の尖ったプローブ針により凹凸状の傷が形成されることになる。本発明は、このようにして形成された凹凸を有するパッド電極表面上に、上記外部接続用突起電極を良好に形成し、半導体装置の実装性及び電気特性等の点において、信頼性の高いパッド電極の構造を提供するものである。

【0004】

【従来の技術】図1(A)～(E)は、従来におけるパッド電極上に外部接続用突起電極の形成工程を示す図である。図1(A)は、基板10上に、A1よりなるパッド電極12及び14をパターンニングにより形成し、パッド電極12及び14以外の領域には、熱酸化によって形成された酸化膜よりなる絶縁膜16を示す。パッド電極12及び14の表面上には、形成後に行ったプローブ試験によって生じた凹凸である傷20及び22を示す。

【0005】次に図1(B)に示すように、パッド電極12及び14上に突起電極32を形成する必要がある。一般に、はんだ合金よりなる突起電極とAlよりなるパッド電極とを接合させる場合に、その接合面においては、はんだ合金を構成する元素であるSnやPb等がAl電極中に拡散して、接合を破壊するのを防止するために、その接合面にバリアメタルという金属層を介在させる。

【0006】従って従来の方法では図1(B)に示すように、バリアメタル層24として、それぞれ500nmの厚さのTiとNiとの2層からなる金属膜24をスパッタ法により、電極12及び14上と、絶縁膜16上に形成する。さらに図1(C)の、電極12の拡大図に示すように、フォトリソ膜26をパターンニングにより電極12上を開口するように形成し、開口部28のバリアメタル24上にNi膜30を電解めっき法により2μmの厚さに形成する。

【0007】その後、図1(D)に示すように、PbとSnよりなる突起電極32を電解めっき法により50μmの厚さに形成する。続いて図1(E)において、フォトリソ膜26を除去すると共に、フォトリソ膜26下層に残ったTi膜及びNi膜24の一部をウェットエッチングにより除去する。さらに突起電極32をその融点温度より高い温度にてリフローすることによって、図示しないはんだボールが形成される。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来における突起電極形成方法においては、以下に述べる問題点がある。図1(C)の工程において、傷20が形成された電極12の表面上に、バリアメタル層24を成膜した状態では、同図に示すように傷20の凹部21は、バリアメタル膜が形成されない凹部領域21となる。このような状態でさらにその表面上に、電解めっき法によりNi膜30を2μmの厚さに、さらに突起電極32を50μmの厚さに形成した場合には、以下のような問題が発生する。

【0009】即ち、バリアメタル24が形成されない凹部領域21を介して、突起電極32を構成するSnあるいはPbが拡散して、下層のパッド電極12中へ達し、あるいは逆に、パッド電極12の構成元素であるAlが、凹部21から容易にその上層のNi膜30及び突起電極膜32内部に拡散し、結果としてコンタクト抵抗が上昇したり、突起電極32が剥離する等、接合を破壊してしまうことになる点である。

【0010】本従来例における電解めっき法により形成されたNi膜30は、Ni膜30の下層のバリアメタル層24と同様の作用を奏せしめることを目的として形成した膜であって、上記不純物の拡散を防止させるためのものである。ところが、バリアメタル24が形成されない凹部領域21においては、上述したようにその上層の

電解めっき法によるNi膜30が形成されない場合があり、特に傷20が大きく、バリアメタル24が形成されない凹部領域21が顕著である場合には、凹部21ではNi膜30は形成されない。本従来例では、バリアメタル24が形成されない凹部21を補うために、バリアメタル24の上層にさらに電解めっき法によるバリアメタル層であるNi膜30を形成するものである。しかしながら、一般に電解めっき法により形成される金属膜のバリアメタルとしての機能は、スパッタ法により形成されるバリアメタルよりも劣り、不純物の拡散を阻止する機能は低いことが知られている。このために、本実施例のように、バリアメタル24が形成されない凹部領域21を介して、不純物の拡散現象が生じ、パッド電極10と突起電極32との接合の不良を生じることになる。

【0011】よって、本従来例では、バリアメタル層24が一部において形成されない凹部21に起因して、上述した不純物の拡散を生じ、その結果、当接合のコンタクト抵抗が上昇し、あるいはまた、バリアメタル層24とその上層の突起電極32の間の剥離を生じる等、半導体素子の使用が不能となるという事態を生じることになる。

【0012】本発明は上記の点に鑑みてなされたものであり、突起電極とその下層のパッド電極との接合の劣化を防止することにより、信頼性の向上を図った半導体装置を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明は、上記問題に鑑みなされたものであり、以下に述べる各手段を講じたことを特徴とする。請求項1記載の発明では、半導体基板と、前記半導体基板上に形成された電極と、前記電極上に形成され、無電解めっき法により形成された第1の金属層を有することを特徴とする。

【0014】請求項2記載の発明では、前記第1の金属層上に、さらにスパッタ法及び蒸着法のうちいずれか一の方法により形成された第2の金属層と、前記第2の金属層上に形成された突起電極とを有することを特徴とする。請求項1乃至2記載の発明によれば、プローブ試験によって形成されたパッド電極上の凹凸を伴う傷は、電解めっき法により形成された第1の金属層によって完全に覆われて平坦化することにより、傷がその上層の第2の金属層に影響を与えないようにすることができ、さらに第2の金属層をスパッタ法もしくは蒸着法により形成することにより、電解めっき法による突起電極の形成を容易にすると共に、突起電極とのコンタクトが破壊されにくくすることができる。

【0015】また、第1の金属層により傷を完全に埋めることができるため、第2の金属層を複数のすべてのパッド電極を覆うように形成することにより、その上層に突起電極を電解めっき法により形成する際に、すべてのパッド電極を同一の電位に設定でき、全パッド電極に対

して同時に突起電極の形成が可能となる。請求項3記載の発明では、前記第1の金属層は、Ni、Cu及びPdのうちいずれかの金属を用いた無電解めっき法によって形成したことを特徴とする。

【0016】請求項3記載の発明によれば、各パッドが電氣的に分離した状態であっても、第1の金属層を無電解めっき法により、各パッド上に容易に形成することができ、パッド電極上の凹凸に伴う傷を完全に覆う事ができる。請求項4記載の発明では、前記第1の金属層は、Pd、Zn及びNiのうちいずれかの金属による置換法を用いた無電解Niめっき法によって形成したことを特徴とする。

【0017】請求項4記載の発明によれば、第1の金属層を無電解めっき法により、容易に形成することができる。請求項5記載の発明では、前記第2の金属層は1層よりなり、Ni、CuおよびPdのうちいずれかの金属よりなることを特徴とする。請求項6記載の発明では、前記第2の金属層はさらに第1層の金属膜と第2層の金属膜との2層よりなり、前記第1層の金属膜は、Ti、Cr、TiWおよびMoのうちいずれかの金属よりなり、前記第2層の金属膜は、Ni、CuおよびPdのうちいずれかの金属よりなることを特徴とする。

【0018】請求項7記載の発明では、前記第2の金属層はさらに第1層の金属膜と第2層の金属膜と第3層の金属膜の3層よりなり、前記第1層及び第2層の金属膜はTi、Cr、TiWおよびMoのうちいずれか二の金属よりなり、前記第3層の金属膜は、Ni、CuおよびPdのうちいずれかの金属よりなることを特徴とする。

【0019】請求項5乃至7記載の発明によれば、第2の金属層を形成することにより、パッド電極中のAlが突起電極中へ拡散することを防止し、また突起電極中のPbもしくはSnがパッド電極中へ拡散することを防止することによって、コンタクトが破壊されるのを回避することができると共に、パッド電極と突起電極との密着性を向上させることができる。

【0020】請求項8記載の発明では、前記第2の金属層の上層に、前記突起電極を電解めっき法により形成したことを特徴とする。請求項9記載の発明では、前記突起電極は、Pd、Ni、Cu、SnとPbの合金、Au、SnとAgの合金からなる群から選択される少なくとも一の金属により形成したことを特徴とする。

【0021】請求項8乃至9記載の発明によれば、パッド電極上に突起電極を信頼性良く形成することができ、半導体素子を基板上に実装することができる。請求項10記載の発明では、前記第2の金属層と前記突起電極との間に、Au、PtおよびPdのうちいずれかの金属よりなる酸化防止被膜を形成したことを特徴とする。

【0022】請求項10記載の発明によれば、第1の金属層を形成した後に、第1の金属層表面が酸化するのを

防止することができ、突起電極形成後のコンタクトを良好のに維持することができる。請求項11記載の発明では、半導体基板と、前記半導体基板上に形成された電極と、前記電極上に形成され、無電解めっき法により形成された第1の金属層と、前記第1の金属層上に、スパッタ法および蒸着法のうちのいずれかの方法により形成された第2の金属層と、前記第2の金属層上に、電解めっき法により形成された第3の金属層と、前記第3の金属層上に形成された突起電極とを有することを特徴とする。

【0023】請求項12記載の発明では、前記第3の金属層は、Ni、CuおよびPdのうちいずれかの金属よりなることを特徴とする請求項11乃至12記載の発明によれば、プローブ試験によって形成されたパッド電極上の凹凸に伴う傷は、電解めっき法により形成された第1の金属層によって完全に覆われて平坦化することにより、傷がその上層の第2の金属層に影響を与えないようにすることができ、第2の金属層をスパッタ法もしくは蒸着法により形成し、さらにその上層に第3の金属層を形成することにより、不純物の拡散を防止する効果を増大させ、電解めっき法による突起電極の形成をさらに容易にすると共に、突起電極とのコンタクトが破壊されにくくすることができる。

【0024】また、第1の金属層により傷を完全に埋めることができるため、第2の金属層を複数のすべてのパッド電極を覆うように形成することにより、第3の金属層を形成した上で、その上層に突起電極を電解めっき法により形成する際に、すべてのパッド電極を同一の電位に設定でき、全パッド電極に対して同時に突起電極の形成が可能となる。

【0025】請求項13記載の発明では、前記第3の金属層と前記突起電極との間に、Au、PtおよびPdのうちいずれかの金属よりなる酸化防止被膜を形成したことを特徴とする。請求項13記載の発明によれば、第3の金属層と突起電極との間に酸化防止被膜を介在させることにより、第3の金属層の酸化を防止することができる。

【0026】

【発明の実施の形態】次に、本発明の実施の形態について図2及び図3と共に説明する。

〔第1の実施例〕まず本発明における第1の実施例について図2を基に説明する。図2(A)～(E)に示す工程は、第1の実施例におけるパッド電極の製造工程を示す図である。

【0027】図2(A)に示す工程では、従来の例と同様にして、半導体基板40(例えば半導体チップ)上にパッド電極42をバタニングにより形成し、パッド電極42以外の領域に熱処理によって基板表面を酸化し、酸化膜よりなる絶縁膜44を形成する。さらに、パッド電極42を形成後に、半導体素子の電気特性を試験し、



特性の良否を確認する工程が実施される。即ちこの工程では、半導体素子表面上の各パッド電極の位置に対応するように、半導体素子の電気特性試験用のテストの先端の、プローブなる先端の尖った針が、パッド電極に一定の弱い圧力をかけるように設置され、電気特性が計測される。

【0028】従って、計測時にプローブの先端は、パッド電極表面よりやや電極内部へ入り込む形で設置され、パッド電極表面にはプローブ針の形状に沿うように凹凸が形成されることになる。このようにして凹凸が形成されたパッド電極上の傷46は、パッド電極と、後の工程においてその表面に形成する突起電極52との間のコンタクトの特性に悪影響を与えることになる。

【0029】上記問題を回避するために本実施例では、図2(B)に示す工程のように、図2(A)の工程で生じた傷46を有するパッド電極42上に、第1のバリアメタル層としてNiを用いた無電解めっき法によりNi膜48を約2 $\mu$ mの厚さに形成する。尚、前記無電解めっき法では、Niに代えてCuあるいはPdを用いてもよい。

【0030】ここでNi膜48の形成に際し、無電解めっき法を用い、電解めっき法を用いないのは以下の理由による。即ち、傷46を有するパッド電極42において、複数のパッド電極のうち、パッド電極によって傷の深さが異なり、傷46がパッド電極42の下層のシリコン基板にまで達している場合とそうでない場合がある。電解めっき法を実施する際には、成膜する母体であるすべてのパッド電極を同一の電位に設定する必要があるが、上記の場合にはそれが困難となり、電解めっき法を使用することができないことになる。

【0031】また一方で、電解めっき法による成膜では、電界を印加する等の余分な手間がかかる点で、電界を印加する必要のない無電解めっき法の方がコストを抑制できる利点も有する。無電解めっき法によるNi膜48の形成は、Pd、ZnあるいはNiを用いた置換法により行うことができる。置換法による成膜では、使用した元素であるPd、ZnあるいはNiと、パッド電極42の構成元素であるAlとが相互に関与することによって、Al電極表面上に新たなNi膜48が形成される。従って、Al電極表面上以外の領域では、置換作用は生ぜず、Ni膜48は成膜されない。

【0032】上記工程により、無電解めっき法によるNi膜48を、傷46の深さと同程度またはそれ以上の厚さに形成することにより、プローブ試験において生じた傷46に伴う凹凸は完全に覆われ、バリアメタル層であるNi膜48は、平坦な表面が得られる。次に図2(C)の工程において、図2(B)の工程で形成した第1のバリアメタル層48の上層、及び絶縁膜44の上層に、従来における第1のバリアメタル形成工程と同様に、第2のバリアメタル層50として、Tiを約500

nm、さらにNiを約500nmの厚さに、スパッタ法あるいは蒸着法により成膜する。

【0033】図2(C)の工程における第2のバリアメタル層50形成工程は、従来の例において記述したように、下層のパッド電極42を構成するAlと、以降の工程で形成する突起電極52を構成するPb及びSnとが、相互に双方向に拡散することによって、Alの一部が突起電極52側へ突き出たり、あるいはPbやSnの一部がパッド電極42側へ突き出るといった現象を防止し、コンタクト抵抗が上昇したり、コンタクト部の突起電極52の剥がれ等のコンタクト特性の劣化を防止する効果を有する。

【0034】また、第2のバリアメタル層50を他のパッド電極42をも同時に覆うように形成することによって、後の工程で突起電極52を形成する複数のパッド電極42間が、同一の金属層50によって短絡される。従って電解めっき法による突起電極52を成膜時に、複数の金属層50はすべて同一の電位とすることが可能となり、突起電極52を電解めっき法により容易に形成することが可能となる効果をも有する。

【0035】尚、第2のバリアメタル層50としてTiに代えて、Cr、TiWあるいはMoを、またNiに代えて、CuあるいはPdを用いてもよい。また、第2のバリアメタル層50として1層よりなる金属層であって、Ni、Cu及びPdを用いてもよい。あるいはさらに、第2のバリアメタル層50として3層よりなる金属膜を用い、第1層及び第2層の金属膜としてTi、Cr、TiW及びMoより選択される任意の二の金属を、また第3層の金属膜としてNi、CuあるいはPdを用いてもよい。

【0036】さらに図2(C)の工程において、パッド電極42以外の領域の酸化膜44の領域上にフォトリソ膜54をパターンニング形成する。次に、同図2(C)の工程において、第2のバリアメタル層50が酸化されやすい金属として、例えばCuやTi等である場合には、酸化を防止する目的で酸化防止被膜51として、例えばAu、Pt、Pd等の金属膜51を2 $\mu$ m程度の厚さに形成する。さらに続いて、酸化防止被膜51の上層に電解めっき法によりSnとPbの合金よりなる突起電極52を形成する。

【0037】尚、突起電極52としてSnとPbの合金に代えて、Pd、Ni、Cu、AuあるいはSnとAgの合金のうちより選択される一の金属、もしくはPd、Ni、Cu、AuあるいはSnとAgの合金のうちより選択される任意の数の金属の組み合わせであってもよい。さらにその後、図2(D)の工程では、フォトリソ膜54を除去すると共に、フォトリソ膜54上に形成された酸化防止被膜51と突起電極52の一部をも同時に除去する。

【0038】次に、同図2(D)の工程では、突起電極



52が形成されていない領域の第2のバリアメタル層50を、選択的にウェットエッチング法により除去する。外部接続用突起電極52によって、半導体素子100を実装する際には、突起電極52をその融点以上の温度下においてリフローすることにより、図示しないはんだボールを形成する。

【0039】以上の本実施例のように、プローブ試験時に生じた凹凸を有するパッド電極42上の傷46は、その表面に無電解めっき法によって第1のバリアメタル層48を成膜することにより、第1のバリアメタル層48はパッド電極表面上の傷46を完全に覆うことにより、第1のバリアメタル層48上にはほぼ平坦な表面が得られる。

【0040】さらに第2のバリアメタル層50を第1のバリアメタル層48上に形成し、傷46が存在するパッド電極42より離間させ、傷46の影響を受けないようにすることにより、上述したような、不純物が突起電極52とパッド電極42との間で拡散することを防止できる。その結果、上層の突起電極52とパッド電極42とのコンタクトを良好に保持し、突起電極52が剥離するのを防止できると共に、さらに突起電極52の電解めっき法による形成を容易にすることができる。尚、本実施例は、パッド電極42の材質としてAlを使用した場合であるが、Al中に他の不純物として、Cu、Si等を混入させた場合、および不純物を導入したSiを使用した場合であっても差し支えない。

【0041】〔第2の実施例〕次に第2の実施例について、図3を基に説明する。図3(A)～(E)は、本発明における第2の実施例を示す図である。本実施例では、第1の実施例の工程の、第1及び第2のバリアメタル形成までは同一の工程であり、従って同一の効果を有する。

【0042】まず図3(A)に示す工程では、前実施例と同様に、基板60上にAlよりなるパッド電極62をパターンニングにより形成し、パッド電極62周辺領域の基板表面の表出した領域を熱酸化し、酸化膜よりなる絶縁膜64を形成する。さらにパッド電極62形成後に、プローブ試験を行うことに伴い、パッド電極62の表面上には凹凸が形成され、傷66を生じる。

【0043】次に図3(B)示す工程では、前実施例と同様に、パッド電極62上に、第1のバリアメタル層68として無電解めっき法によりNi膜68を約2μmの厚さに、Pd、ZnあるいはNiを用いた置換法により形成する。同図3(B)の工程において、第1の実施例と同様に、無電解めっき法によるNi膜68を、傷46の深さと同程度またはそれ以上の厚さに形成することにより、傷66に伴う凹凸は完全に覆われ、第1のバリアメタル層であるNi膜68は、平坦な表面が得られる。

【0044】さらに図3(C)の工程では、まず第1の実施例と同様に、第1のバリアメタルNi層68の上

層、及び絶縁膜64の上層に、第2のバリアメタル層70として、Ti72を約500nm、さらにNi74を約500nmの厚さに、スパッタ法あるいは蒸着法により絶縁膜64及びパッド電極60上の領域に成膜する。続いて同図3(C)の工程で、第2のバリアメタル層70の上層の、パッド電極62上部の領域に、図示しない第1のフォトレジスト膜をパターンニングにより形成し、図示しない第1のフォトレジスト膜を形成した領域以外の表出した第2のバリアメタル層70のうち、上層のNi膜74のみを選択的にウェットエッチング法により除去する。その後、図示しない第1のフォトレジスト膜を除去する。

【0045】さらに続いて、図3(D)の工程では、第2のフォトレジスト膜78を第2のバリアメタル層70のうち、絶縁膜64の上層の、Ti72上の領域にのみ形成し、パッド電極62の上部の領域を開口するようにパターンニング形成する。次に同図3(D)のように、開口部80の、Ni膜74の上層に、第3のバリアメタル層82として、電解めっき法によりNi膜82を形成する。

【0046】この後に前実施例と同様にして、第3のバリアメタル層82が酸化されやすい金属である場合には、必要に応じて酸化を防止する目的で酸化防止被膜76を形成する。続いて、最上層膜として突起電極形成用のPb及びSnよりなるめっき層84を約50μmの厚さに、電解めっき法により形成する。

【0047】尚、図3(D)の工程における第3のバリアメタル層82、及び突起電極84の形成法として電解めっき法を用いるが、第1の実施例と同様に、第3のバリアメタル層82と突起電極84を形成するすべてのパッド電極62は、第2のバリアメタル層中のTi膜72により覆われて道通しているため、電解めっき実施時には同一の電位となる。従って、第3のバリアメタル層82及び突起電極84を電解めっき法により形成することが可能である。

【0048】最後に、図3(E)の工程では、第2のフォトレジスト膜78を除去する。さらに、第2のフォトレジスト膜78の下層に表出したTi層72を選択的にウェットエッチング法により除去する。この後に、外部接続用突起電極84によって、半導体素子110を実装する際には、突起電極84をその融点以上の温度下においてリフローすることにより、図示しないはんだボールを形成する。

【0049】本実施例では、第1の実施例と異なる工程として、第3のバリアメタル82を形成する点である。第3のバリアメタル82を電解めっき法によって形成することにより、その上層に、同様に電解めっき法により形成する突起電極84との密着性を向上させる効果を有する。従って、第2のバリアメタル層70がパッド電極62上の傷66の影響を受けないように形成することに

よって、バリアメタル層としての突起電極84との密着性を向上させる効果を有すると共に、さらに第3のバリアメタル層82を付加することにより、突起電極84の密着性を、第1の実施例の場合よりもさらに向上させたものである。

【0050】尚、第1の実施例と同様に、本実施例ではパッド電極の材質としてAlを使用した場合について述べているが、Al中に他の不純物として、Cu、Si等を混入させた場合、および不純物を導入したSiを使用しても差し支えない。

【0051】

【発明の効果】上述の如く本発明によれば、次に述べる効果を実現することができる。請求項1乃至7記載の発明では、パッド電極上の接合の信頼性を向上させ、半導体素子を実装した半導体装置の信頼性をも向上させることができる。請求項8乃至9記載の発明では、半導体素子を実装することができ、高信頼性の半導体装置を実現できる。

【0052】請求項10乃至13記載の発明では、パッド電極上の接合の信頼性を向上させ、半導体素子を実装した半導体装置の信頼性をも向上させることができる。

【図面の簡単な説明】

【図1】従来の半導体装置のパッド電極の構造を示す図である。

【図2】本発明における第1の実施例の半導体装置のパッド電極の構造を示す図である。

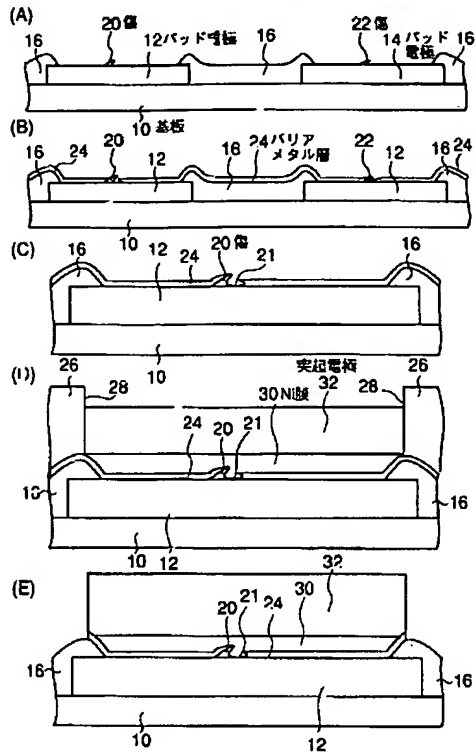
【図3】本発明における第2の実施例の半導体装置のパッド電極の構造を示す図である。

【符号の説明】

10、40、60	半導体基板
12、14、42、62	パッド電極
16、44、64	絶縁膜
20、22、46、66	傷
21	凹部
24	バリアメタル層
26、54	フォトリソ層
28	開口部
30、74	Ni膜
32、52、84	突起電極
48、68	第1のバリアメタル層
50、70	第2のバリアメタル層
51、76	酸化防止被膜
72	Ti膜
78	第2のフォトリソ膜
80	開口部
82	第3のバリアメタル層
100、110	半導体素子

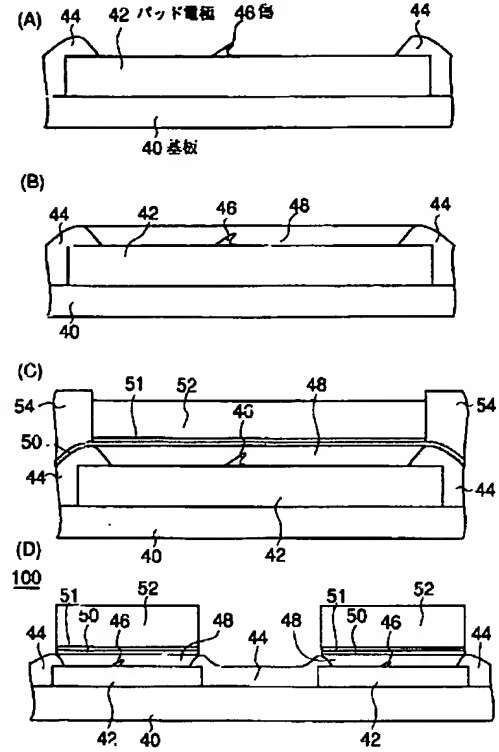
【図1】

従来の半導体装置のパッド電極の構造を示す図



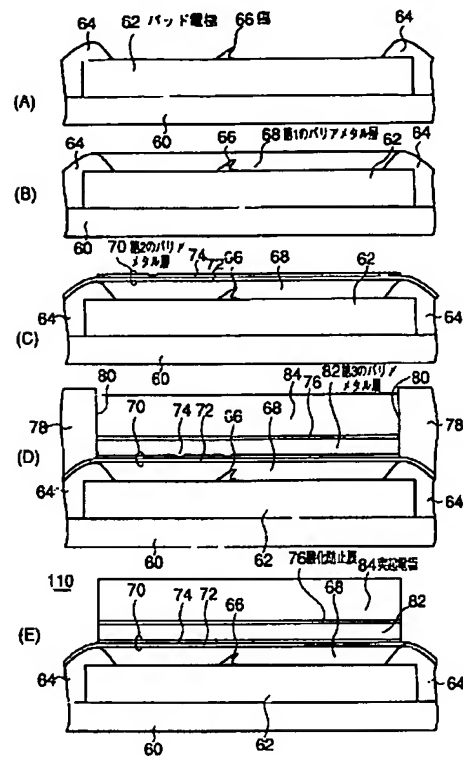
【図2】

本発明における第1の実施例の半導体装置のパッド電極の構造を示す図



【図3】

本発明における図2の実施例の半導体装置のパッド電極の構造を示す図



フロントページの続き

(72)発明者 牧野 豊  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内